

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-114309

(P2000-114309A)

(43)公開日 平成12年4月21日(2000.4.21)

| (51)Int.Cl. ⁷ | 識別記号 | F I | テーマコード(参考) |
|--------------------------|-------|---------------|-------------------|
| H 0 1 L 21/60 | 3 0 1 | H 0 1 L 21/60 | 3 0 1 N 4 D 0 7 5 |
| B 0 5 D 5/12 | | B 0 5 D 5/12 | D 4 F 1 0 0 |
| B 3 2 B 3/10 | | B 3 2 B 3/10 | 5 F 0 4 4 |
| 7/02 | 1 0 4 | 7/02 | 1 0 4 |

審査請求 有 請求項の数1 F D (全 9 頁)

(21)出願番号 特願平10-294459

(22)出願日 平成10年10月1日(1998.10.1)

(71)出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72)発明者 山葉 隆久

静岡県浜松市中沢町10番1号ヤマハ株式会社内

(74)代理人 100075074

弁理士 伊沢 敏昭

Fターム(参考) 4D075 CA23 DC22

4F100 AB33B AB33D AR00C AR00E

AT00A BA11 GB41 JC04B

JG04D JK10 JK13

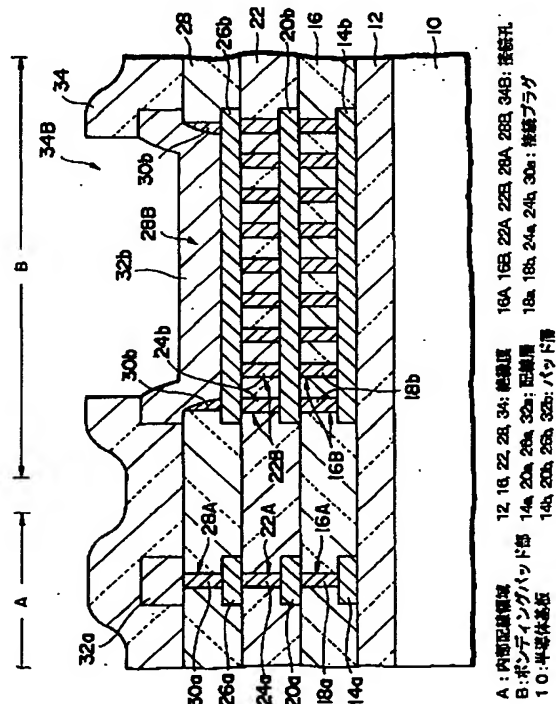
5F044 EE04 EE06 EE11 EE21

(54)【発明の名称】 半導体装置のボンディングパッド構造

(57)【要約】

【課題】 半導体装置のボンディングパッド構造において層間絶縁膜を構成する塗布絶縁膜に剥がれやクラックが生ずるのを防ぐ。

【解決手段】 半導体基板10の表面を覆う絶縁膜12の上にパッド層14b、層間絶縁膜16、パッド層20b、層間絶縁膜22、パッド層26b及び層間絶縁膜28を積層状に形成する。絶縁膜16、22は、いずれもSOG等の塗布絶縁膜を含み、上面がCMP等により平坦化される。絶縁膜16、22には複数の接続孔16B、22Bをそれぞれ設け、接続孔16B、22BにはW等の接続プラグ18b、24bをそれぞれ埋設する。絶縁膜28には接続孔28Bを設け、接続孔28B内でパッド層26bと直接接触するようにパッド層32bを形成する。層32bに接続ワイヤをボンディングする際に、接続プラグ18b、24bは、接続孔28Bの下方で絶縁膜16、22に加わるボンディング応力を軽減する。



【特許請求の範囲】

【請求項 1】 半導体基板の一方の主面を覆う絶縁膜の上に第 1 のパッド層に重ねて第 1 の層間絶縁膜を形成し、該第 1 の層間絶縁膜の上に第 2 のパッド層を形成し、このように第 1 ～第 n (n は 3 以上の整数) のパッド層と第 1 ～第 $(n-1)$ の層間絶縁膜とを交互に重ねて積層状に形成し、前記第 1 ～第 n のパッド層を相互接続した半導体装置のボンディングパッド構造であって、前記第 $(n-1)$ の層間絶縁膜より下の各層間絶縁膜は塗布絶縁膜を含むと共に上面が平坦化されており、前記第 $(n-1)$ の層間絶縁膜より下の各層間絶縁膜にはその上下のパッド層をつなぐように比較的小サイズの複数の接続孔を設けると共に該複数の接続孔のうちの各接続孔には該上下のパッド層を相互接続するように接続プラグを埋設し、前記第 $(n-1)$ の層間絶縁膜には前記第 $(n-1)$ のパッド層に対応した比較的大サイズの接続孔を設け、前記第 n のパッド層を前記比較的大サイズの接続孔内で前記第 $(n-1)$ のパッド層と直接接触させたことを特徴とする半導体装置のボンディングパッド構造。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、LSI 等の半導体装置のボンディングパッド構造に関し、特に n (n は 3 以上の整数) 層のパッド層と $(n-1)$ 層の層間絶縁膜とを有するボンディングパッド構造において最も上の層間絶縁膜より下の各層間絶縁膜に複数の接続孔を設けると共に該複数の接続孔にそれぞれ複数の接続プラグを埋設することにより最も上のパッド層への接続ワイヤのボンディングの際に塗布絶縁膜に剥がれやクラックが生ずるのを抑制するようにしたものである。

【0002】

【従来の技術】従来、ボンディングパッド部を有する半導体装置としては、図 7 ～ 10 に示すものが知られている (例えば、特開平 9-219451 号公報参照)。

【0003】図 7 に示される半導体装置において、半導体基板 1 の表面を覆う絶縁膜 2 の上には、1 層目の配線層 3 a 及びパッド層 3 b が形成される。配線層 3 a は、半導体基板 1 に形成された集積回路内の内部配線領域 A に属し、パッド層 3 b は、領域 A の周辺に配置されるボンディングパッド部 B に属する。

【0004】絶縁膜 2 の上には、配線層 3 a 及びパッド層 3 b を覆って絶縁膜 4 が形成され、絶縁膜 4 は、CMP (化学・機械研磨) 処理により上面が平坦化される。絶縁膜 4 には、ホトリソグラフィ及びドライエッチング処理により配線層 3 a に対応した接続孔 4 A と、パッド層 3 b に対応した複数の接続孔 4 B とが形成され、接続孔 4 A、4 B にはそれぞれ接続プラグ 5 a、5 b が埋設される。接続プラグ 5 a、5 b の形成方法としては、タングステン (W) 等の導電材層を接続孔 4 A、4 B を埋

めるように絶縁膜 4 の上に形成した後、絶縁膜 4 の上面が露呈するまで導電材層をエッチバックする方法が用いられる。

【0005】絶縁膜 4 の上には、2 層目の配線層 6 a 及びパッド層 6 b が形成される。配線層 6 a は、接続プラグ 5 a を介して配線層 3 a に接続され、パッド層 6 b は、複数の接続プラグ 5 b を介してパッド層 3 b に接続される。

【0006】絶縁膜 4 の上には、配線層 6 a 及びパッド層 6 b を覆って絶縁膜 7 が形成され、絶縁膜 7 は、CMP 処理により上面が平坦化される。絶縁膜 7 には、ホトリソグラフィ及びドライエッチング処理により配線層 6 a に対応した接続孔 7 A と、パッド層 6 b に対応した複数の接続孔 7 B とが形成され、接続孔 7 A、7 B には、それぞれ W 等の導電材からなる接続プラグ 8 a、8 b が埋設される。接続プラグ 8 a、8 b の形成方法としては、接続プラグ 5 a、5 b に関して前述した方法が用いられる。

【0007】絶縁膜 7 の上には、3 層目の配線層 9 a 及びパッド層 9 b が形成される。配線層 9 a は、接続プラグ 8 a を介して配線層 6 a に接続され、パッド層 9 b は、複数の接続プラグ 8 b を介してパッド層 6 b に接続される。

【0008】図 8 に示される半導体装置において、内部配線領域 A の配線構造は、図 7 に示した内部配線領域 A の配線構造と同様であり、同様の部分には同様の符号を付して詳細な説明を省略する。

【0009】図 8 のボンディングパッド部 B において、絶縁膜 2 の上には絶縁膜 4 が形成されると共に絶縁膜 4 の上には絶縁膜 7 が形成される。絶縁膜 7 の上には、配線層 9 a の形成工程を流用してパッド層 9 b が形成される。

【0010】図 9 に示される半導体装置において、内部配線領域 A の配線構造は、図 7 に示した内部配線領域 A の配線構造と同様であり、同様の部分には同様の符号を付して詳細な説明を省略する。

【0011】図 9 のボンディングパッド部 B において、絶縁膜 2 の上には絶縁膜 4 が形成される。絶縁膜 4 の上には、配線層 6 a の形成工程を流用してパッド層 6 b が形成される。

【0012】絶縁膜 4 の上には、配線層 6 a 及びパッド層 6 b を覆って絶縁膜 7 が形成され、絶縁膜 7 は、CMP 処理により上面が平坦化される。絶縁膜 7 には、ホトリソグラフィ及びドライエッチング処理により配線層 6 a に対応した接続孔 7 A と、パッド層 6 b に対応した接続孔 7 S とが形成される。接続孔 7 S は、接続ワイヤのボンディングを可能にするため、接続孔 7 A より大きなサイズで形成される。

【0013】接続孔 7 A を埋め且つ接続孔 7 S を覆うように絶縁膜 7 の上に W 等の導電材層を形成した後、絶縁

3

膜 7 の上面が露呈するまで導電材層をエッチバックすることにより W 等の導電材からなる接続プラグ 8 a が接続孔 7 A 内に形成される。この時、接続孔 7 S 内には、側壁に沿って薄い導電材層（図示せず）が残存するものの、殆どの導電材層がエッチバック時のエッチングにより除去される。この結果、パッド層 6 b の上面が接続孔 7 S 内に露呈される。

【0014】接続プラグ 8 a 及び接続孔 7 S を覆うように絶縁膜 7 の上に配線材層を被着してパターンニングすることにより配線層 9 a 及びパッド層 9 b が形成される。パッド層 9 b は、接続孔 7 S 内でパッド層 6 b と直接接

触するように形成される。

【0015】図 10 に示される半導体装置において、半導体基板 1 の表面を覆う絶縁膜 2 の上には、図 7 に関して前述したと同様にして 1 層目の配線層 3 a 及びパッド層 3 b が形成される。絶縁膜 2 の上には、配線層 3 a 及びパッド層 3 b を覆って絶縁膜 4 が形成され、絶縁膜 4 は、CMP 処理により上面が平坦化される。

【0016】絶縁膜 4 には、図 9 に関して前述した接続孔 7 A、7 S と同様にして配線層 3 a に対応した小サイズの接続孔 4 A と、パッド層 3 b に対応した大サイズの接続孔 4 S とが形成される。図 9 に関して前述した接続プラグ 8 a と同様にして接続孔 4 A 内に W 等の導電材からなる接続プラグ 5 a が形成される。図 9 に関して前述した配線層 9 a 及びパッド層 9 b と同様にして 2 層目の配線層 6 a 及びパッド層 6 b が絶縁膜 4 の上に形成される。配線層 6 a は、接続プラグ 5 a を介して配線層 3 a に接続され、パッド層 6 b は、接続孔 4 S 内でパッド層 3 b と直接接触する。

【0017】絶縁膜 4 の上には、配線層 6 a 及びパッド層 6 b を覆って絶縁膜 7 が形成され、絶縁膜 7 は、CMP 処理により上面が平坦化される。絶縁膜 7 には、ホトリソグラフィ及びドライエッチング処理により配線層 6 a に対応した小サイズの接続孔 7 A と、パッド層 6 b に対応した大サイズの接続孔 7 S とが形成される。

【0018】図 10 の半導体装置によると、接続孔 7 A の深さ a に比べて接続孔 7 S の深さ b の方が大きいので、接続孔 7 A、7 S を形成するための選択的ドライエッチング処理では、接続孔 7 A が深さ a に達した後も接続孔 7 S が深さ b に達するまで接続孔 7 A の形成箇所をオーバーエッチングする必要があり、接続孔 7 A のサイズが設計値より相当に大きくなるという問題点がある。

【0019】このような問題点を解決するために提案されたのが、図 7～9 に示す半導体装置である。すなわち、図 7 の半導体装置では、接続孔 4 A と接続孔 4 B とで深さをほぼ同一にすると共に接続孔 7 A と接続孔 7 B とで深さをほぼ同一にしたので、上記した問題点を解決することができる。また、図 8 の半導体装置では、ボンディングパッド部 B に接続孔を設けないようにしたので、上記した問題点を解決することができる。さらに、

4

図 9 の半導体装置では、接続孔 7 A と接続孔 7 S とで深さをほぼ同一にしたので、上記した問題点を解決することができる。

【0020】

【発明が解決しようとする課題】図 7 又は図 8 に示したボンディングパッド構造によると、接続ワイヤがボンディングされるパッド層が単一のパッド層 9 b からなっているため、十分なボンディング強度を得るのが容易でないという問題点がある。例えば、A1 合金からなるパッド層 9 b に Au ワイヤをボンディングすると、高温放置後のシェアテストでせん断強度の低下が認められることがある。これは、パッド層 9 b が薄いため、ボンディング部への A1 の供給が不十分になることによるものと考えられている（詳しくは、特開平 7-335690 号公報参照）。

【0021】また、図 8 又は図 9 に示したボンディングパッド構造によると、パッド層 9 b の下の絶縁膜 4、7 又はパッド層 6 b の下の絶縁膜 4 として有機系又は無機系の SOG（スピン・オン・ガラス）等の塗布絶縁膜を含む積層膜を用いた場合、ボンディング時の熱と圧力により塗布絶縁膜に剥がれやクラックが生じ、信頼性の低下を招くことがある。

【0022】この発明の目的は、層間絶縁膜として塗布絶縁膜を含む積層膜を用いた場合に塗布絶縁膜に剥がれやクラックが生ずるのを抑制することができる新規な半導体装置のボンディングパッド構造を提供することにある。

【0023】

【課題を解決するための手段】この発明に係る半導体装置のボンディングパッド構造は、半導体基板の一方の上面を覆う絶縁膜の上に第 1 のパッド層に重ねて第 1 の層間絶縁膜を形成し、該第 1 の層間絶縁膜の上に第 2 のパッド層を形成しというように第 1～第 n（n は 3 以上の整数）のパッド層と第 1～第（n-1）の層間絶縁膜とを交互に重ねて積層状に形成し、前記第 1～第 n のパッド層を相互接続した半導体装置のボンディングパッド構造であって、前記第（n-1）の層間絶縁膜より下の各層間絶縁膜は塗布絶縁膜を含むと共に上面が平坦化されており、前記第（n-1）の層間絶縁膜より下の各層間絶縁膜にはその上下のパッド層をつなぐように比較的小サイズの複数の接続孔を設けると共に該複数の接続孔のうちの各接続孔には該上下のパッド層を相互接続するように接続プラグを埋設し、前記第（n-1）の層間絶縁膜には前記第（n-1）のパッド層に対応した比較的大サイズの接続孔を設け、前記第 n のパッド層を前記比較的大サイズの接続孔内で前記第（n-1）のパッド層と直接接触させたことを特徴とするものである。

【0024】この発明に係る半導体装置のボンディングパッド構造によれば、第（n-1）の層間絶縁膜（最上上の層間絶縁膜）より下の各層間絶縁膜は、有機系又は

無機系の SOG 等の塗布絶縁膜を含むと共に上面が CMP 処理等により平坦化される。第 $(n-1)$ の層間絶縁膜より下の各層間絶縁膜には複数の接続孔が設けられると共に該複数の接続孔にはそれぞれ W 等の導電材からなる複数の接続プラグが埋設される。第 n のパッド層（最も上のパッド）層に接続ワイヤをボンディングする際には、第 $(n-1)$ のパッド層とその下の第 $(n-2)$ のパッド層との間の層間絶縁膜に設けた複数の接続孔にそれぞれ複数の接続プラグが埋設されているので、該層間絶縁膜に加わるボンディング応力が該複数の接続プラグにより軽減される。このことは、第 $(n-2)$ のパッド層とその下の第 $(n-3)$ のパッド層との間に設けた層間絶縁膜についても同様である。従って、塗布絶縁膜を含む各層間絶縁膜においては、ボンディング時に塗布絶縁膜に剥がれやクラックが生ずるのを抑制することができる。

【0025】

【発明の実施の形態】図 1, 2 は、この発明の一実施形態に係る半導体装置を示すものであり、図 1 は、図 2 の平面図において X-X' 線に沿う断面に相当する。図 1, 2 に示す実施形態に関しては、4 層配線構造を有する半導体装置にこの発明を適用した例を説明する。

【0026】シリコン等の半導体基板 10 の表面を覆うシリコンオキサイド等の絶縁膜 12 の上には、1 層目の配線層 14 a 及びパッド層 14 b が形成される。配線層 14 a は、半導体基板 10 に形成された集積回路内の内部配線領域 A に属し、パッド層 14 b は、領域 A の周辺に配置されるボンディングパッド部 B に属する。領域 A の周辺には、B のような多数のボンディングパッド部が配置される。

【0027】配線層 14 a 及びパッド層 14 b は、絶縁膜 12 の上に図 3 に示すような配線材層 14 を形成した後、この配線材層 14 をホトリソグラフィ及びドライエッチング処理によりパターンニングすることにより形成される。配線材層 14 は、一例として、下から順に厚さ 15 nm の Ti 層 50、厚さ 400 nm の Al-0.5 wt % Cu 合金層 52、厚さ 10 nm の Ti 層（抵抗低減膜）54 及び厚さ 40 nm の TiN 層（反射防止膜）56 をスパッタ法で被着することにより形成される。パッド層 14 b のサイズは、例えば $70 \mu\text{m} \times 70 \mu\text{m}$ とすることができる。

【0028】絶縁膜 12 の上には、絶縁膜 14 a 及びパッド層 14 b を覆って第 1 の層間絶縁膜 16 が形成される。絶縁膜 16 は、一例として図 4 に示すように形成される。すなわち、絶縁膜 12 の上には、プラズマ CVD 法により配線層 14 a 及びパッド層 14 b を覆って厚さ 100 nm のシリコンオキサイド膜 60 が形成される。次に、回転塗布法によりシリコンオキサイド膜 60 を覆って水素シルセキスオキサン樹脂を塗布し、その塗布膜に熱処理を施すことによりセラミック状のシリコンオ

キサイド膜 62 が平坦部で 400 nm の厚さになるように形成される。この後、プラズマ CVD 法によりシリコンオキサイド膜 62 を覆って厚さ 1200 nm のシリコンオキサイド膜 64 が形成される。

【0029】絶縁膜 16 の上面は、CMP 処理により平坦化される。シリコンオキサイド膜 64 は、一例として、1 層目の配線上で絶縁膜 16 の厚さが 800 nm となるように CMP 処理される。この結果、IC（集積回路）チップ領域内の絶対残段差は、100 nm 程度に低減される。ここで、IC チップ領域とは、集積回路単位で半導体基板 10 を分断して IC チップにされる領域であり、図 1 の例では、内部配線領域 A と、この領域 A の周辺に配置された B のような多数のボンディングパッド部とを含む領域である。なお、絶縁膜 16 を平坦化するためには、エッチバック処理を用いることもできる。

【0030】絶縁膜 16 には、ホトリソグラフィ及びドライエッチング処理により配線層 14 a に対応した接続孔 16 A と、パッド層 14 b に対応した多数（一例として 81 個）の接続孔 16 B とが形成される。内部配線領域 A 内で最小の接続孔の直径を D とすると、多数の接続孔 16 B のうちの各接続孔の直径は、2D 以下とするのが好ましい。その理由については図 6 を参照して後述する。一例として、領域 A 内で最小の接続孔の直径が $0.35 \mu\text{m}$ である場合、接続孔 16 B のうちの各接続孔の直径は、 $0.35 \mu\text{m}$ とすることができる。多数の接続孔 16 B は、図 2 に示すようにパッド層 14 b 上にドットマトリクス状に配置される。隣り合う複数の接続孔 16 B 間の間隔は、設計ルールで規定されている最小間隔以上の任意の間隔とすればよく、例えば $0.65 \mu\text{m}$ とすることができる。

【0031】接続孔 16 A, 16 B には、それぞれ W 等の導電材からなる接続プラグ 18 a, 18 b が埋設される。接続プラグ 18 a は、一例として図 5 に示すように形成され、接続プラグ 18 b は、接続プラグ 18 a の形成工程を流用して形成される。

【0032】図 5 の構造において、絶縁膜 16 の上には、接続孔 16 A の内面を覆って厚さ 15 nm の Ti 層 70 及び厚さ 100 nm の TiN 層 72 がスパッタ法で順次に形成される。Ti 層 70 及び TiN 層 72 の積層は、この後堆積される W 層 74 のための密着層として役立つものである。TiN 層 72 の上には、接続孔 16 A を埋めるように厚さ 500 nm の W 層 74 がプラズマ CVD 法により形成される。この後、Ti 層 70、TiN 層 72 及び W 層 74 の積層を絶縁膜 16 の上面が露呈されるまでエッチバックすることにより接続孔 16 A 内に残存する Ti 層 70、TiN 層 72 及び W 層 74 からなる接続プラグ 18 a が得られる。なお、Ti 層 70 及び TiN 層 72 の積層を絶縁膜 16 の上に残すようにエッチバックを行なってもよい。

【0033】絶縁膜 16 の上には、前述した配線層 14

a 及びパッド層 14 b と同様にして 2 層目の配線層 20 a 及びパッド層 20 b が形成される。配線層 20 a は、接続プラグ 18 a を介して配線層 14 a に接続され、パッド層 20 b は、多数の接続プラグ 18 b を介してパッド層 14 b に接続される。パッド層 20 b のサイズは、パッド層 14 b と同じく $70\mu\text{m} \times 70\mu\text{m}$ とすることができる。

【0034】配線層 20 a は、図 5 に示すように接続孔 16 A の開口部において接続プラグ 18 a の Ti 層 70、TiN 層 72 及び W 層 74 と接続される。このような接続状態は、パッド層 20 b と多数の接続プラグ 18 b のうちの各接続プラグとの接続部においても同様である。

【0035】絶縁膜 16 の上には、配線層 20 a 及びパッド層 20 b を覆って第 2 の層間絶縁膜 22 が形成される。絶縁膜 22 は、図 4 に関して前述した絶縁膜 16 と同様にして形成されるもので、シリコンオキサイド膜 62 のような塗布絶縁膜を含んでいる。絶縁膜 22 の上面は、CMP 処理等により絶縁膜 16 と同様にして平坦化される。

【0036】絶縁膜 22 には、ホトリソグラフィ及びドライエッチング処理により配線層 20 a に対応した接続孔 22 A と、パッド層 20 b に対応した多数（一例として 81 個）の接続孔 22 B とが形成され、接続孔 22 A、22 B には、それぞれ W 等の導電材からなる接続プラグ 24 a、24 b が埋設される。接続プラグ 24 a、24 b は、図 5 に関して前述したのと同様の方法で形成され、図 5 に示した接続プラグ 18 a と同様の構造を有する。

【0037】絶縁膜 22 の上には、前述した配線層 14 a 及びパッド層 14 b と同様にして 3 層目の配線層 26 a 及びパッド層 26 b が形成される。配線層 26 a は、接続プラグ 24 a を介して配線層 20 a に接続され、パッド層 26 b は、多数の接続プラグ 24 b を介してパッド層 20 b に接続される。パッド層 26 b のサイズは、パッド層 20 b と同じく $70\mu\text{m} \times 70\mu\text{m}$ とすることができる。配線層 26 a と接続プラグ 24 a との接続状態及びパッド層 26 b と接続プラグ 24 b のうちの各接続プラグとの接続状態は、いずれも図 5 に示す配線層 20 a と接続プラグ 18 a との接続状態と同様である。

【0038】絶縁膜 22 の上には、配線層 26 a 及びパッド層 26 b を覆って第 3 の層間絶縁膜 28 が形成される。絶縁膜 28 は、図 4 に関して前述した絶縁膜 16 と同様にして形成されるもので、シリコンオキサイド膜 62 のような塗布絶縁膜を含んでいる。絶縁膜 28 の他の例としては、シリコンオキサイド膜 62 のような塗布絶縁膜を含まないものを用いてもよく、例えば高密度プラズマ CVD 法で形成したシリコンオキサイド膜からなる単層膜を用いることもできる。絶縁膜 28 の上面は、CMP 処理等により絶縁膜 16 と同様にして平坦化され

る。

【0039】絶縁膜 28 には、ホトリソグラフィ及びドライエッチング処理により配線層 26 a に対応した比較的小さい接続孔 28 A と、パッド層 26 b に対応した比較的大きな接続孔 28 B とが形成される。内部配線領域 A 内で最小の接続孔の直径が $0.35\mu\text{m}$ である場合、接続孔 28 B のサイズは、 $65\mu\text{m} \times 65\mu\text{m}$ とすることができる。

【0040】接続孔 28 A、28 B を形成するためのドライエッチング処理では、接続孔 28 B 内でパッド層 26 b の TiN 層及び Ti 層（図 3 の 56、54 に対応）がエッチング除去されて Al-Cu 合金層（図 3 の 52 に対応）が露呈されるようにエッチング時間等の条件が設定される。このような処理によると、接続孔 28 B 内にパッド層 26 b の Al-Cu 合金層を露呈させることができるが、接続孔 28 A 内に配線層 26 a の Al-Cu 合金層が露呈し、エレクトロマイグレーション耐性の劣化や Al ヒロックの発生を招くおそれがある。

【0041】そこで、接続孔 28 A 内に確実に TiN 層及び Ti 層を残す方法として次のような方法を用いることもできる。すなわち、配線層 26 a 及びパッド層 26 b のいずれについても TiN 層及び Ti 層を残すようにドライエッチング処理により接続孔 28 A、28 B を形成した後、ボンディングパッド部 B を露呈し且つ内部配線領域 A を覆うようにホトリソグラフィ処理によりレジスト層を形成し、このレジスト層及び絶縁膜 28 をマスクとするドライエッチング処理により接続孔 28 B 内でパッド層 26 b の TiN 層及び Ti 層を除去して Al-Cu 合金層を露呈させ、この後レジスト層を除去するようにしてもよい。このようにすると、接続孔 28 A 内に配線層 26 a の Al-Cu 合金層が露呈することがなく、エレクトロマイグレーション耐性の劣化やヒロックの発生を防止することができる（詳しくは、特開平 7-335690 号公報参照）。

【0042】接続孔 28 A には、W 等の導電材からなる接続プラグ 30 a が埋設される。接続プラグ 30 a は、図 5 に関して前述したのと同様の方法で形成され、図 5 に示した接続プラグ 18 a と同様の構造を有する。接続プラグ 30 a を構成する Ti 層、TiN 層及び W 層（図 5 の 70、72、74 に対応）をエッチバックする処理では、接続孔 28 B の側壁に沿って Ti 層、TiN 層及び W 層の積層 30 b が残存する。

【0043】接続プラグ 30 a、積層 30 b 及び接続孔 28 B を覆うように絶縁膜 28 の上に配線材層が被着される。配線材層としては、例えば下から順に厚さ 15nm の Ti 層、厚さ 1000nm の Al-0.5wt% Cu 合金層及び厚さ 40nm の TiN 層（反射防止膜）がスパッタ法により被着される。そして、被着された配線材層をホトリソグラフィ及びドライエッチング処理によりパターンニングすることにより 4 層目の配線層 32 a 及

びパッド層 32b が形成される。この場合、Al-Cu 合金層の下に 15 nm の Ti 層を省略してもよい。パッド層 32b のサイズは、パッド層 26b と同じく $70\mu\text{m} \times 70\mu\text{m}$ とすることができる。配線層 32a は、接続プラグ 30a を介して配線層 26a に接続され、パッド層 32b は、接続孔 28B 内で積層 30b 及びパッド層 26b と直接接触する。上記のように 15 nm の Ti 層を省略すると、パッド層 26b、32b の Al-Cu 合金層同士が直接接触する。

【0044】絶縁膜 28 の上には、配線層 32a 及びパッド層 32b を覆って保護膜 34 が形成される。保護膜 34 としては、例えば下から順に厚さ 150 nm のシリコンオキサイド膜及び厚さ 1000 nm のシリコンナイトライド膜がプラズマ CVD 法により形成される。

【0045】保護膜 34 には、ホトリソグラフィ及びドライエッチング処理によりパッド層 32b に対応した接続孔 34B が形成される。接続孔 34B は、パッド層 32b へのワイヤボンディングを可能にするもので、一例として $60\mu\text{m} \times 60\mu\text{m}$ のサイズにすることができる。

【0046】図 6 は、比較例に係るボンディングパッド部を示すもので、図 1 と同様の部分には同様の符号を付して詳細な説明を省略する。この例では、層間絶縁膜 22 の上面を平坦化するまでの処理が図 1 に関して前述したのと同様に行なわれる。

【0047】絶縁膜 22 には、ホトリソグラフィ及びドライエッチング処理により比較的小さなサイズの複数の接続孔 22B と、比較的大きなサイズの接続孔 22C とが形成される。複数の接続孔 22B のうちの各接続孔は、前述の最小接続孔の直径 D の 2 倍 (2D) 以下の直径を有するものであり、接続孔 22C は、2D より大きい直径を有するものである。

【0048】図 5 に関して前述したのと同様の方法により複数の接続孔 28B 内に複数の接続プラグ 24b がそれぞれ形成される。この時、接続孔 22C 内には、側壁に沿って前述の積層 30b と同様の積層 24c が残存する。通常、W を堆積してエッチバックする処理では、直径 D の接続孔に W が丁度埋め込まれるように W の堆積厚さやエッチバック量が決定される。このような条件の下では、接続孔 22C の直径が 2D より大きくなると、接続孔 22C を W で十分に埋めるのが困難となる。このため、エッチバック処理では、接続孔 22C の側壁に沿って積層 24c が残存し、接続孔 22C 内にパッド層 26b の上面が露呈するようになる。

【0049】接続プラグ 24b、積層 24c 及び接続孔 22C を覆うように絶縁膜 22 の上に図 3 の 14 のような配線材層を被着してパターニングすることにより 3 層目のパッド層 26b が形成される。パッド層 26b は、接続孔 22C 内では積層 24c 及びパッド層 20b と直接接触し、接続孔 22C 外では接続プラグ 24b を介し

てパッド層 20b に接続される。

【0050】絶縁膜 22 の上には、パッド層 26b を覆って層間絶縁膜 28 が図 1 で述べたと同様にして形成される。絶縁膜 28 には、図 1 で述べたと同様にしてパッド層 26b に対応する接続孔 28B が形成される。図 1 に関して前述したと同様に接続孔 (図 1 の 28A に対応) 内に接続プラグ (図 1 の 30a に対応) を形成すると、接続孔 28B の側壁に沿って積層 30b が残存する。この後、図 1 で述べたと同様にして絶縁膜 28 上に配線材層を被着してパターニングすることによりパッド層 32b が形成される。パッド層 32b は、接続孔 28B 内で積層 30b 及びパッド層 26b と直接接触する。

【0051】図 6 のボンディングパッド構造によると、パッド層 32b には、接続孔 22C に対応する凹部 32c が形成される。凹部 32c は、パッド層 32b に接続ワイヤをボンディングする際にボンディング不良を招く原因となるものであり、凹部 32c が形成されないようにする必要がある。

【0052】図 1 のボンディングパッド部 B では、絶縁膜 16、22 にそれぞれ設けられる接続孔 16B、22B のいずれについても直径を 2D 以下とすることにより直径 D の接続孔を W 等で埋める際に接続孔 16B、22B を W 等で十分に埋めるようにしている。この結果、図 1 に示すように接続孔 28B 内に 32c のような凹部がない平坦なパッド層 32b が得られる。なお、2D 以下の直径を有する接続孔が直径 D の接続孔を W 等で埋める際に十分に埋め込み可能であることは既に知られている (例えば、特開平 9-219451 号公報参照)。

【0053】図 1 に示した実施形態によれば、パッド層 32b に接続ワイヤをボンディングする際に層間絶縁膜 22 に加わるボンディング応力が多数の接続プラグ 24b により軽減されると共に層間絶縁膜 16 に加わるボンディング応力が多数の接続プラグ 18b により軽減される。従って、絶縁膜 16、22 のいずれにおいても、塗布絶縁膜に剥がれやクラックが生ずるのを抑制することができる。

【0054】また、接続ワイヤは、パッド層 26b と直接接触するパッド層 32b にボンディングされるので、十分なボンディング強度を得るのが容易となる。例えば、前述したようにパッド層 26b、32b を Al 合金層で構成して両者を直接接触させる構成とし、パッド層 32b に接続ワイヤとして Au ワイヤ (金線) をボンディングした場合には、高温放置後にシェアテストを行なってもせん断強度の低下は認められなかった。これは、パッド層 26b、32b からボンディング部に十分に Al が供給されたことによるものであると考えられる。

【0055】さらに、接続孔 16A と 16B、接続孔 22A と 22B、接続孔 28A と 28B とのいずれについても接続孔の深さがほぼ同一であるので、接続孔エッチング時のオーバーエッチングにより内部配線領域 A 内の

接続孔に孔サイズ増大が生ずるのを防止することができる。

【0056】この発明は、上記した実施形態に限定されるものではなく、種々の改変形態で実施可能なものである。例えば、4層配線構造に限らず、3層配線構造や5層配線構造等にもこの発明を適用することができる。また、配線材としては、A1合金の代りにA1を用いてもよい。

【0057】

【発明の効果】以上のように、この発明によれば、第1～第nのパッド層と第1～第(n-1)層の層間絶縁膜とを交互に重ねて積層状に形成すると共に第1～第nのパッド層を相互接続した半導体装置のボンディングパッド構造において、第(n-1)の層間絶縁膜より下の各層間絶縁膜を塗布絶縁膜を含む形で平坦状に形成し、第(n-1)の層間絶縁膜より下の各層間絶縁膜には複数の接続孔を設けると共に該複数の接続孔にはそれぞれ複数の接続プラグを埋設する構成にしたので、第nのパッド層に接続ワイヤをボンディングする際には層間絶縁膜に加わるボンディング応力が複数の接続プラグにより軽減され、塗布絶縁膜に剥がれやクラックが生ずるのを抑制することができる。従って、高信頼の半導体装置を実現できる効果が得られる。

【0058】また、第(n-1)の層間絶縁膜に設けた接続孔内において第nのパッド層を第(n-1)のパッド層に直接接触させる構成にしたので、第nのパッド層に接続ワイヤをボンディングする際に十分なボンディング強度を得るのが容易となる効果もある。

【0059】さらに、第(n-1)の層間絶縁膜より下の各層間絶縁膜の上面を平坦化すると共に第(n-1)の層間絶縁膜に設けた接続孔内で第nのパッド層を第(n-1)のパッド層に直接接触させる構成にしたので、各層間絶縁膜毎にボンディングパッド部と内部配線

領域とで接続孔の深さをほぼ同一とすることができ、接続孔エッチング時のオーバーエッチングにより一部の接続孔に不所望のサイズ増大が生ずるのを防止できる効果もある。

【図面の簡単な説明】

【図1】 この発明の一実施形態に係る半導体装置を示す断面図である。

【図2】 図1の半導体装置のボンディングパッド部を示す平面図である。

【図3】 図1の半導体装置に用いる配線材層を示す断面図である。

【図4】 図1の半導体装置の層間絶縁膜を示す断面図である。

【図5】 図1の半導体装置の層間接続部を示す断面図である。

【図6】 比較例に係るボンディングパッド部を示す断面図である。

【図7】 従来の半導体装置の一例を示す断面図である。

【図8】 従来の半導体装置の他の例を示す断面図である。

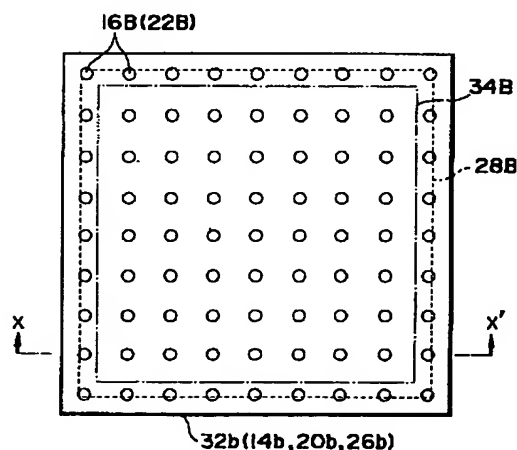
【図9】 従来の半導体装置の更に他の例を示す断面図である。

【図10】 従来の半導体装置の更に他の例を示す断面図である。

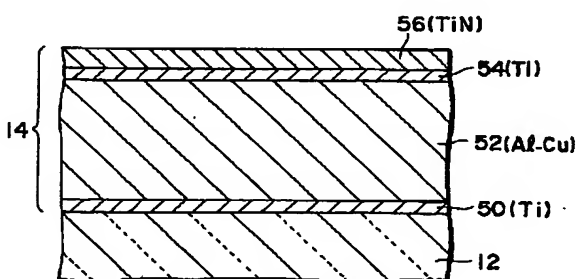
【符号の説明】

A：内部配線領域、B：ボンディングパッド部、10：半導体基板、12、16、22、28、34：絶縁膜、14a、20a、26a、32a：配線層、14b、20b、26b、32b：パッド層、16A、16B、22A、22B、28A、28B、34B：接続孔、18a、18b、24a、24b、30a：接続プラグ。

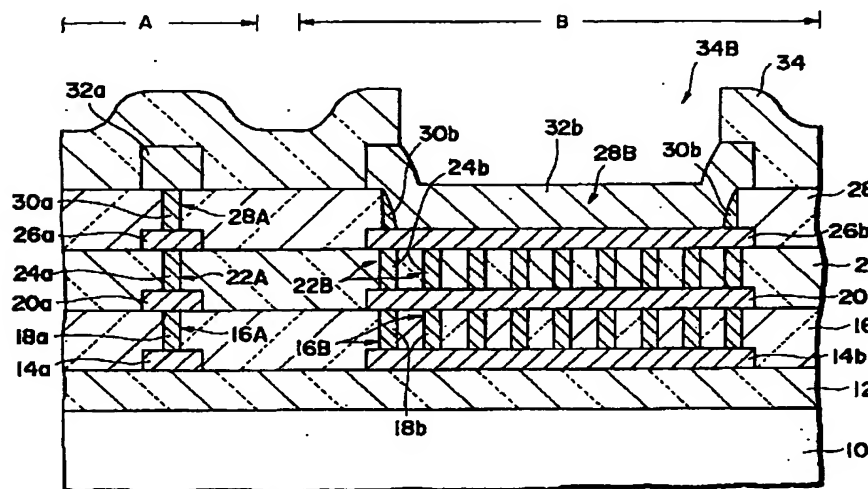
【図2】



【図3】

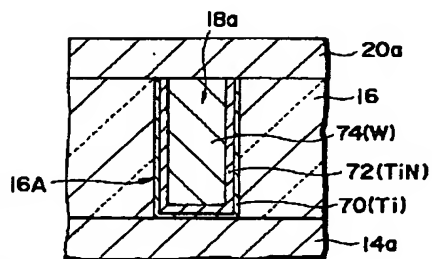


【図1】

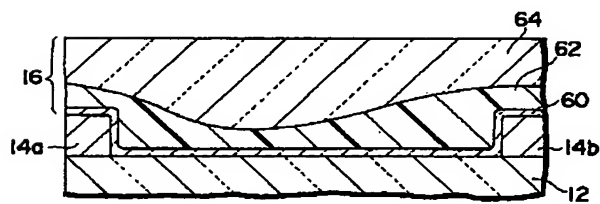


A: 内部配線領域 12, 16, 22, 28, 34: 絶縁膜 16A, 16B, 22A, 22B, 28A, 28B, 34B: 接続孔
 B: ボンディングパッド部 14a, 20a, 26a, 32a: 配線層 18a, 18b, 24a, 24b, 30a: 接続プラグ
 10: 半導体基板 14b, 20b, 26b, 32b: パッド層

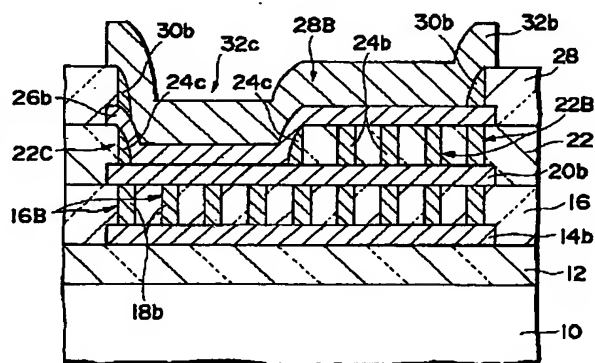
【図5】



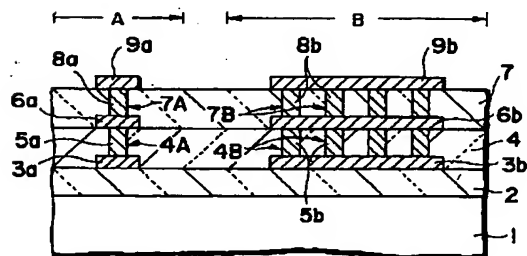
【図4】



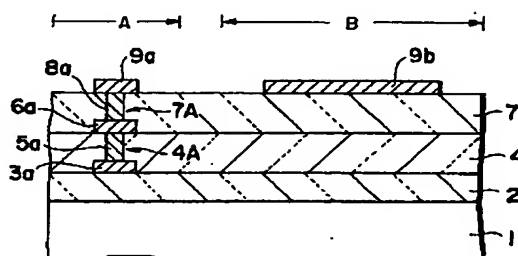
【図6】



【図7】



【図8】



【図 10】

